

文章编号: 2095-2163(2020)06-0142-06

中图分类号: TP39

文献标志码: A

L-DSP 片上 Flash 控制器设计与实现

曹 韬¹, 邹望辉¹, 汪 东²

(1 长沙理工大学 物理与电子科学学院, 长沙 410114; 2 湖南毅梁微电子有限公司, 长沙 410005)

摘 要: 根据 L-DSP 芯片系统架构, 针对所选用的片上 Flash 存储器, 设计片上 Flash 控制器模块, 实现了总线与片上 Flash 的正常通信, 并能够根据系统运行频率调整到最快读取速率。控制器还拥有连续指令预取功能, 大幅提高了连续取指程序的运行效率, 以及 Flash 初始坏块替换修复模块, 提高芯片出厂良率。仿真结果表明: 在额定 150 MHz 频率下, 运行效率提高了 17.611%; 控制器模块在 0.18 μm CMOS 工艺下, 面积为 0.13 mm^2 , 功耗为 10.17 mW。利用 FPGA 对 L-DSP 全芯片进行验证, 确保控制器功能正确。

关键词: 片上 Flash; 读取速率; 指令预取; 坏块替换

Design and Implementation of L-DSP On-chip Flash Controller

CAO Tao¹, ZOU Wanghui¹, WANG Dong²

(1 School of Physics & Electronic Science, Changsha University of Science & Technology, Changsha 410005, China;

2 Hunan GREAT-LEO Microelectronic Co., LTD., Changsha 410005, China)

【Abstract】 According to the L-DSP chip system architecture, an on-chip Flash controller module is designed for the selected on-chip Flash memory, realizing the normal communication between the bus and the on-chip Flash, and can be adjusted to the fastest read rate according to the system operating frequency. The controller also has a continuous instruction pre-fetch function, which greatly improves the running efficiency of the continuous instruction fetch program, and the Flash initial bad block can be replaced by the repair module in controller to improve the rate of good chip. Simulation results show that the operating efficiency is increased by 17.611% at the rated frequency of 150 MHz. The integrated area of the controller module under the 0.18 μm CMOS process is 0.13 mm^2 , and the power consumption is 10.17 mW. Finally, FPGA is used to verify the L-DSP full chip to ensure the correct function of the controller.

【Key words】 on-chip flash; read rate; pre-fetch; bad block replacement

0 引 言

随着半导体制造工艺的发展和计算机体系结构等方面的改进, DSP (Digital Signal Processors) 芯片功能日益强大, 被广泛应用于语音图像识别与处理、自动控制、医学、通信、军事等领域等。片上 Flash 存储器是一种内嵌于芯片的非易失性存储器, 具有低成本、高安全性和高灵活性等优点, 因此被作为程序和存储器用于 DSP 设计中^[1-2]。DSP 是一种专用于数字信号处理的嵌入式微处理器, 其核心部分是中央处理单元 CPU (Central Processor Unit) 负责从各存储器中获取指令并执行, 因此 CPU 对 Flash 的访问较为频繁^[3]。这两者相较而言, CPU 拥有较高运行频率, 但片上 Flash 属于低速存储设备, 并且具有特定的接口与时序要求, 因此 CPU 无法直接对片上 Flash 进行访问^[4], 需要用控制器实现这两种协议的转换, 使两者能够正常通信; 由于 CPU 对 Flash 的读访问时间较长导致系统性能降低^[5], 因

此需要先进的控制器结构来提高访问效率。

由于 Flash 生产工艺的限制^[6], 芯片量产时部分 Flash 会出现小范围损坏称为初始坏块, 这些坏块的出现会导致整块芯片无法正常使用^[7]。利用 Flash 的冗余空间替代损坏区域进行存储能对 Flash 起到修复作用, 替换逻辑需要由外部控制器实现。

L-DSP 是一款单核低功耗 DSP, 系统频率为 15MHz ~ 150MHz, 拥有特殊的总线协议 Memory Bus, 并需要通过总线搭载 4Mbit 大小的片上 Flash 作为唯一的片上非易失性存储器。本文根据 L-DSP 对片上 Flash 存储器的需求及其总线特点, 设计一种应用于 L-DSP 的片上 Flash 控制器。L-DSP 取指主要发生在片上 Flash 空间, 通过提高 Flash 取指效率能有效提高系统的运行速度。为提高芯片性能, 控制器中还设计了一种基于指令预取^[8-10]的加速模块; 因为 L-DSP 片上 Flash 空间较大, 易产生初始坏块, 所以控制器中还对初始坏块进行修复, 在一

作者简介: 曹 韬(1994-), 男, 硕士研究生, 主要研究方向: 数字 IC 前端设计及验证。

通讯作者: 曹 韬 Email: caot1994.ic@foxmail.com

收稿日期: 2020-03-22

定程度上避免了因 Flash 损坏造成流片失败。

1 Flash 控制器设计方案与实现

控制器包括总线接口、预取单元、读控制、坏块

替换和控制寄存器五个部分,其结构如图 1 虚线内所示。

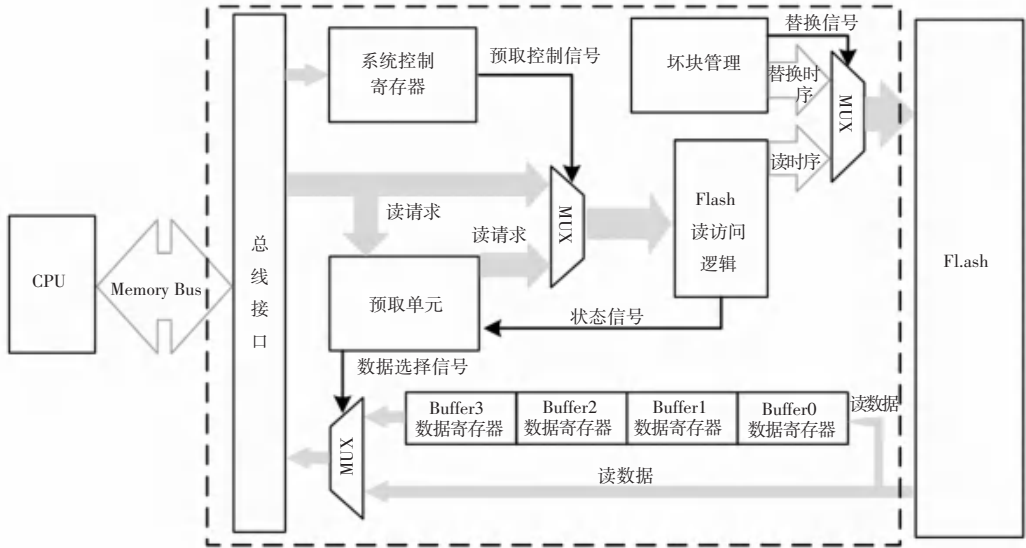


图 1 Flash 控制器结构图

Fig. 1 Structure diagram of Flash controller

所选用 Flash 为上海宏力 GSMC FLS004M56DA,其结构如图 2 所示。控制逻辑部分列出与读取访问相关的接口,存储部分包含主空间,非易失性寄存器空间(NVR)和冗余空间(RDN),其中 NVR 主要用于存放芯片出厂时的测试数据,冗余空间是独立于主空间的备用空间。

接。产生 Flash 接口读控制时序如图 3 所示。 A_1, A_2, A_3 为三次读访问的地址, D_1, D_2, D_3 为对应的读数据。 T_{AA} (Address Access Time) 是 Flash 固有的读访问时间,其最大值为 40 ns,所以读地址及控制接口信号至少要稳定 40 ns 才能确保 DOUT 每次输出的读数据都正确。

表 1 总线接口信号列表

Tab. 1 Bus interface signal list

名称	方向	描述
Req	输入	读请求信号
Addr	输入	读地址信号
Is	输入	取指标志信号
Data	输出	读数据输出
RdRdy	输出	读数据有效信号

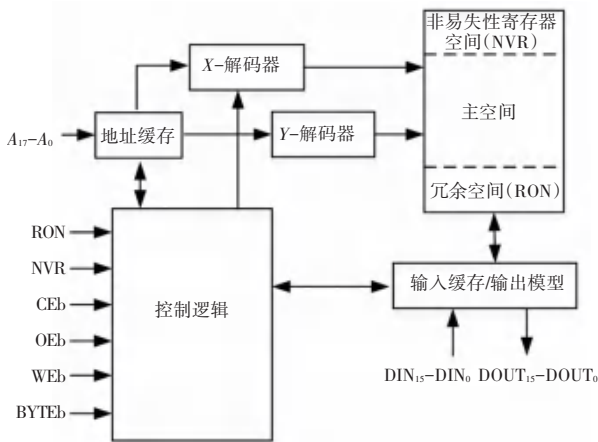


图 2 Flash 结构图

Fig. 2 Structure diagram of Flash

1.1 控制器接口设计

控制器拥有总线接口与 Flash 接口。总线接口连接 Memory Bus,用于接收总线的读 Flash 请求并送出读数据,主要信号如表 1 所示。总线接口收到读请求后将读地址送给读控制模块,读控制模块读 Flash 需要的控制信号,并直接与 Flash 外部接口连

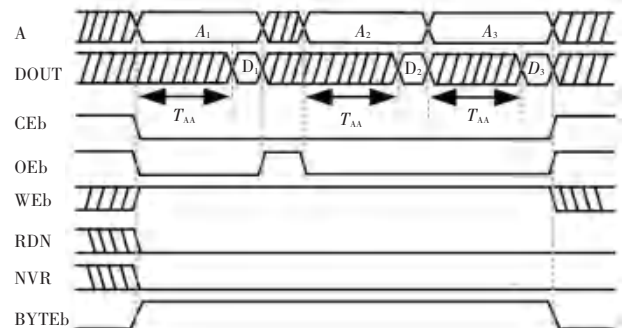


图 3 Flash 读取访问时序图

Fig. 3 Read access timing diagram of Flash

1.2 读控制逻辑设计

由于访问 Flash 存在固有延时 T_{AA} , 因此在不同系统频率下控制器的读控制逻辑会存在差异。如图 4(a) 所示, 当系统频率较慢, 一个周期大于 40 ns 时, 控制器只需要等待一个周期就能送出数据和数据有效信号; 而当系统频率较快时, 一个周期无法满足 40 ns 的访问时间, 就在数据返回前插入 N 个等待周期, 同时维持 Flash 读时序稳定。如图 4(b) 所示, 当周期为 13.33 ns 到 40 ns 之间时, 至少需要插入 3 个等待周期才能在数据有效拍输出稳定的数据。如果当前的系统频率是 f_s , 则必须满足

$$\frac{N}{f_s} \geq 40 \text{ ns}. \quad (1)$$

将其变换并统一单位, 则

$$N \geq 4 \times 10^{-2} \times f_s (\text{s} \cdot \text{MHz}). \quad (2)$$

当频率一定时, N 取到满足公式(2)的最小整数即为最少等待周期数, 即控制器达到当前频率最快读取速率。

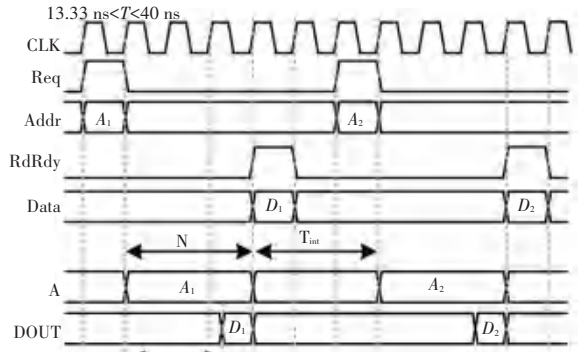
L-DSP 系统频率可变, 若将等待周期数固定为某一数值并且保证所有频率下正常读取, 则必须让 N 在最大频率下能满足公式(2)。那么在未达到最大系统频率时将造成等待时间的过长从而降低系统性能。为避免时间浪费, 利用控制寄存器灵活配置控制器等待周期。根据当前系统频率将其配置为满足公式(2)的最小整数, 控制器就能每次以最快速度读出 Flash 某一地址中的数据。

1.3 指令预取设计

即使以最快速度读取 Flash, 总线每次对 Flash 的读访问仍存在等待时间, 同样造成了系统运行速度减慢, 利用指令预取方式减少部分等待时间。在图 4(a) 和 (b) 中控制器对 Flash 两次读访问之间有一段间隔时间 T_{int} , 实际上是 Flash 等待总线处理并发出请求的时间, 期间 Flash 处于未被访问状态。其长度由 CPU 执行的程序以及总线的仲裁机制共同决定, 经分析 T_{int} 最短为 3 个时钟周期, 如遇总线非优先处理 Flash 访问请求, T_{int} 将被延长。若控制器能够在 T_{int} 时间内预测到总线的下一个读地址, 并且提前向 Flash 发起读访问, 就能在预测成功时减少总线下一次读 Flash 的等待时间。

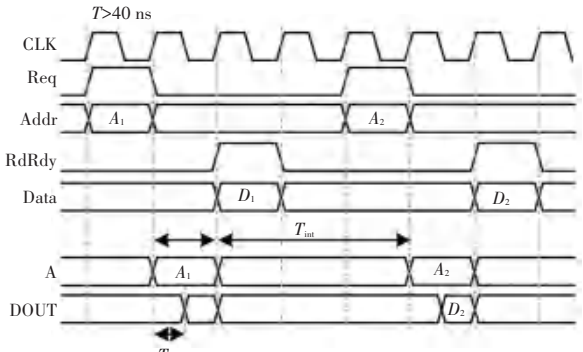
因为大多数指令地址是连续的, 即后一条指令地址为前一条指令地址加 2, 所以控制器做连续地址预取设计可以大概率加快取指速度。如图 4(c) 所示, 当总线处理 CPU 下一个取指请求或其他事务时, 控制器预先将下一地址中的指令读取并存放在

缓冲器中。控制器收到下一地址 $A_1 + 2$ 的取指令请求时, 下一拍从缓冲器中将数据输出, 达到加速取指的目的。当频率更高, 间隔时间 T_{int} 不足以完成对 Flash 下一个地址读取访问, 预取过程中控制器收到 $A_1 + 2$ 地址的取指请求, 需在预取时间 T_{int} 基础上稳定读时序, 直到满足 T_{AA} 后将 DOUT 端口数据经过缓冲器输出到总线, 同样能够达到预取加速的效果。



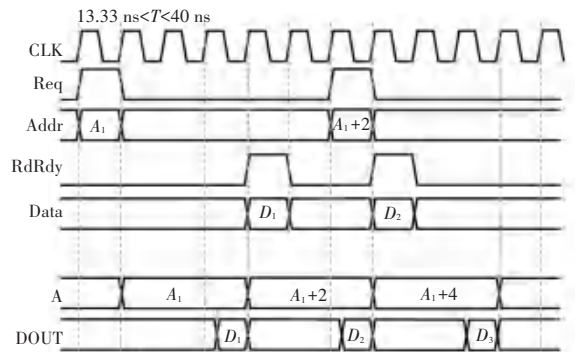
(a) 非预取, 等待周期 $N = 1$

(a) The number of waiting cycle is 1 and prefetch is disabled



(b) 非预取, 等待周期 $N = 3$

(b) The number of waiting cycle is 3 and prefetch is disabled



(c) 预取, 等待周期 $N = 3$

(c) The number of waiting cycle is 3 and prefetch is enabled

图 4 控制器不同条件下的读时序

Fig. 4 Read timing of controller under different condition

设计如图 5 所示预取结构,预取单元包含虚线内所示的 3 部分。缓冲器利用数据寄存器实现,由于数字寄存器面积开销较大容易增加成本,并且 L-DSP 系统运行时 T_{im} 不会太长,预取不足以填满大量缓冲器,因此缓冲器数量太大反而造成资源浪费。经实验测试,4 个缓冲器的结构利用率较高,预取加速效果较好,所以选用 4 个缓冲器存放预取的指令。

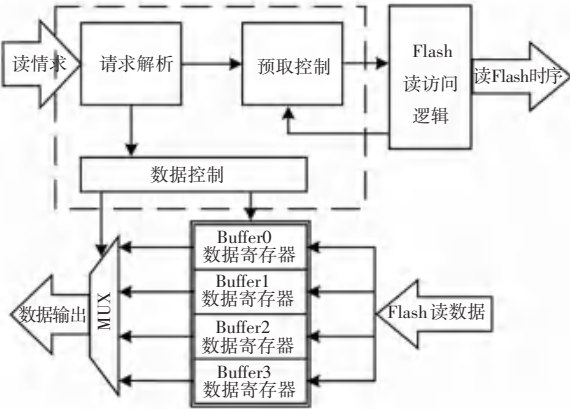


图 5 预取缓冲结构

Fig. 5 Pre-fetch buffer structure

预取过程中控制器与总线保持通信,预取单元根据收到的读请求控制预取进程并送出预取数据,其处理过程如图 6 所示。请求解析模块接收读请求,解析请求类型和地址信息,判断数据在缓冲器中的位置以及是否冲刷预取;数据控制模块控制缓冲器中的数据输出,并且收到冲刷信号后清空缓冲器数据;预取控制模块负责发出预取请求,并在缓冲器填满时暂停预取,直到指令被取出。

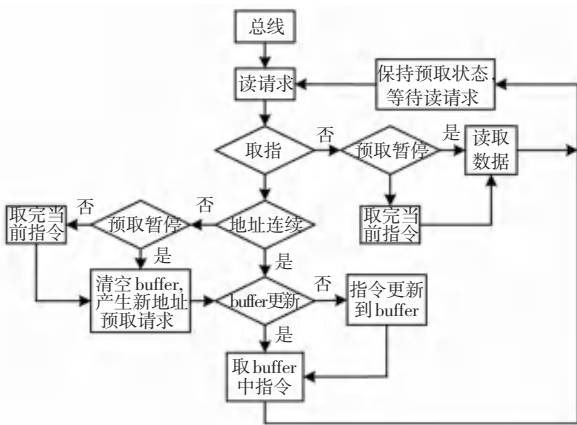


图 6 预取发生时的读请求解析

Fig. 6 Read request parsing when pre-fetch occurs

1.4 坏块替换设计

对坏块的检测在芯片出厂时完成,单个坏块信息以 16 位数据形式被保存在无法修改的 NVR 中。

Flash 主空间分为 1024 个扇区,单个扇区大小与单片 RDN 大小相同,而坏块信息只会记录损坏的地址所处扇区,即无法正常存储地址的高 10 位,存放在 NVR 保留地址的数据低 10 位,同时需要将最高位写 0 表示低 10 位坏块信息有效。主空间中某个扇区出现一个或多个无法存储的地址时,控制器将访问该段地址的读写访问映射,对某 RDN 片区的访问。

坏块信息在 Flash 内不便于利用,因此控制器对 Flash 进行任何操作之前,先将坏块信息读出并保存。L-DSP 上电时 CPU 固定会在另一个片上空间取指执行一段初始化程序,之后跳转到 Flash 执行,因此控制器利用芯片上电到 CPU 执行完初始化程序这段时间将 Flash 中的坏块信息载入到数据寄存器中,坏块替换结构如图 7 所示。

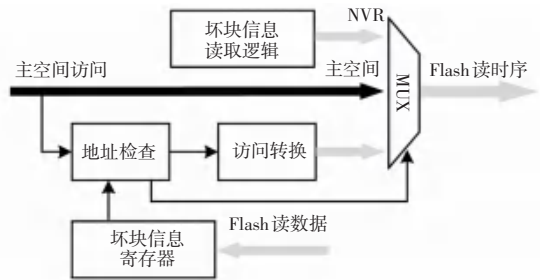


图 7 坏块替换结构

Fig. 7 Structure of bad block replacement

带有初始坏块替换的 Flash 控制器访问流程如图 8 所示。

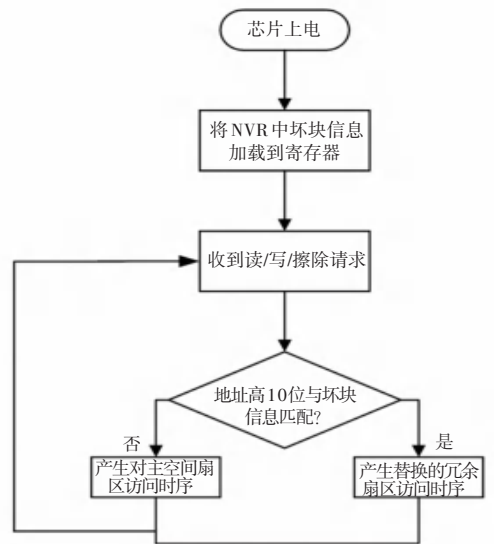


图 8 坏块替换访问流程

Fig. 8 Access process of bad block replacement

芯片上电后,控制器先将 NVR 中固定存放坏块信息的地址中的数据加载到若干内部寄存器,最高位为 0 的数据表示需要替换的坏块信息,最高位为

1 的数据被视为无效。控制器将对 Flash 的读写访问地址高 10 位与这些寄存器的低 10 位进行对比,若匹配则访问用于替换的 RDN 扇区。读 RDN 片区时需要将 RDN 信号拉高,其他信号与主空间访问时序相同。主空间中可能存在多个扇区出现损坏,则需要多片 RDN 进行替换。厂家经验得出,Flash 每 1Mbit 易出现 1 处坏块,使用 4 个坏块信息寄存器。当出现 4 个不同扇区的坏块时,取原主空间访问地址低 8 位作为对 RDN 扇区访问的偏移地址,即低 8 位地址;用第 9、10 位地址作为 RDN 片选信号,其他高位补 0。替换数量更多时继续拓宽高位地址。

2 功能验证与综合

Flash 控制器设计和仿真激励都是由 Verilog HDL 描述,因此采用 NC-Verilog 仿真工具。仿真使用由生产商提供的 Flash IP 的 Behavior model 行为级模型模拟 Flash 存储电路,模型为控制器提供 Flash 接口以及存储空间。将 Flash 控制器搭载到 L-DSP 芯片总线,搭建系统级仿真环境,利用 CPU 通过总线和控制器从 Flash 模型中获取指令并运行。在 Flash 中存入一段无跳转顺序执行的程序,改变系统频率、控制器读取速率以及预取的使能,通过仿真记录各种系统配置下程序运行的时间,对比分析程序运行的效率。

2.1 读控制逻辑验证

验证非预取模式下读速率控制逻辑,系统频率固定在 150 MHz,由前面可得此频率下最快读取周期数为 6,因此测试周期数为 6 和默认最大值 15 之间程序运行的几种情况。对比运行时间可以得出将读周期数配置成最优数值能够有效加快程序运行的结论。

表 2 同频率不同读速率下的运行时间

Tab. 2 Run time at different read rates and the same frequency

频率/MHz	读周期数/N=	非预取用时/ns
150	15	27 098.752
150	12	22 457.824
150	9	17 816.896
150	6	13 175.968

2.2 指令预取验证

表 3 为默认配置,所有频率下单次读访问周期数为最大值 15,即最慢读取速率;表 4 配置为满足各频率读时序要求的最短读周期数,即最快读取速率。

表 3 数据表明,在默认相同读访问周期条件下,无论系统工作在哪一频率,预取加速比率同为 8.563%,而由表 4 数据可以得出,将读周期数配置

为最优数值能提高预取加速比率,并且预取加速比率随着读周期数减少而提高,在额定 150 MHz 频率下加速 17.61%。

表 3 默认读取速率下运行时间

Tab. 3 Run time at default read rate

频率/MHz	读周期数/ N=	非预取用时/ ns	预取用时/ ns	预取加速 比率/%
150	15	27 098.752	24 778.288	8.563
120	15	33 873.44	30 972.86	8.563
90	15	45 164.578	41 297.138	8.563
60	15	67 746.88	61 945.728	8.563
30	15	135 493.76	123 891.43	8.563
15	15	270 987.52	247 782.88	8.563

表 4 最快读取速率下运行时间

Tab. 4 Run time at the fastest read rate

频率/MHz	读周期数/N=	非预取用时/ns	预取用时/ns	预取加速 比率/%
150	6	13 175.968	10 855.504	17.611
120	5	14 536.256	11 635.648	19.954
90	4	16 803.36	12 935.922	23.016
60	3	21 337.6	15 536.422	27.188
30	2	34 940.32	23 338.006	33.206
15	1	54 410.88	31 206.24	42.647

2.3 坏块替换验证

启用坏块替换后的读访问如图 9 所示,给出唯一坏块信息 0x3ff,当总线访问 0x3_ff00 和 0x3_ff02 地址时,RDN 变为高电平,Flash 读地址为 0x0 和 0x2,读出数据为 RDN1 空间中默认值 0xffff 而非主空间中的预设值,表明控制器已将对主空间 0x3_ff00 和 0x3_ff02 的访问转换为对 RDN1 空间 0x0 和 0x2 的访问。坏块替换逻辑正确。

2.4 DC 综合

综合工具使用的是 Synopsys 公司的 Design Compiler,在 0.18 μm CMOS 工艺下对 Flash 控制器进行综合,系统频率为 150 MHz,得到综合后的面积开销为 0.13 mm^2 ,总功耗为 10.17 mW。

3 FPGA 原型验证

将搭载有此 Flash 控制器的 L-DSP 全芯片设计固化到 FPGA,L-DSP 芯片拥有片上调试系统,可以利用 JTAG 接口通过 XDS 仿真器连接 PC 上的调试软件 CCS,验证环境如图 10 所示。利用 CCS 对 L-DSP 进行编程并将程序下载到 Flash 模型中,访问程序空间并控制程序运行,验证 Flash 控制器功能正确性。

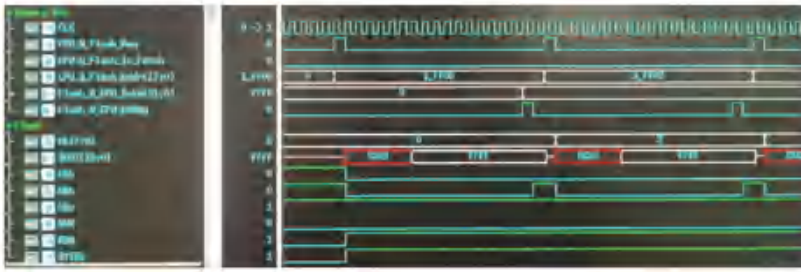


图 9 坏块地址转换

Fig. 9 Address translation of bad block



图 10 FPGA 验证环境

Fig. 10 FPGA verification environment

利用 CCS 编程并下载到 Flash 中,通过片上调试系统调用 Flash 控制器对程序空间进行读访问,界面效果截图如图 11 所示,控制器能够正确完成对 Flash 的数据访问。再利用 CCS 修改指针运行该段程序,运行结果如图 12 所示,正确的将 SRAM 中的 0x9000 地址修改为 0x1235,程序运行正确。

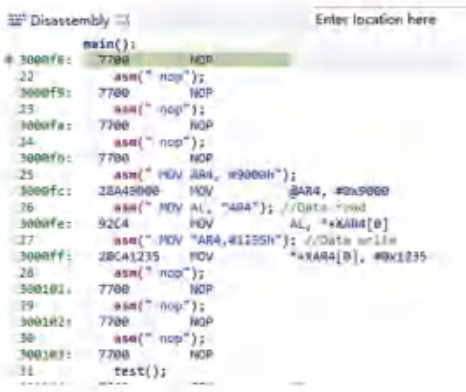


图 11 Flash 程序空间访问图

Fig. 11 Program space access map of Flash

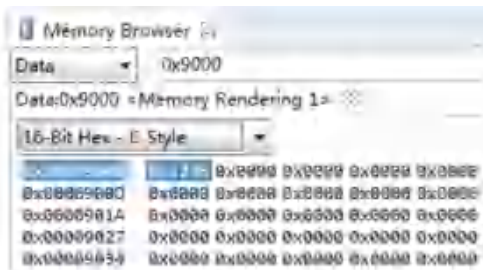


图 12 运行结果

Fig. 12 Operation result

4 结束语

本文根据 L-DSP 对于片上 Flash 存储器的要求,针对系统总线 Memory Bus 协议以及所选型的 Flash 接口时序,设计了一种将总线对 Flash 地址空间读请求转换为 Flash 接口有效读访问时序的控制器电路,其兼容系统 15 MHz~150 MHz 的工作频率区间,并能通过配置系统控制寄存器达到其中任一频率下的最快读取访问速率;实现了指令预取功能,提高了系统连续取指运行情况下的取指效率,在额定 150 MHz 频率下取指效率提高 17.61%;利用 Flash 冗余空间替换主空间坏块,实现主空间初始坏块修复,提高了芯片出厂良率。

参考文献

- [1] 潘立阳,朱钧. Flash 存储器技术与发展[J]. 微电子学, 2002 (1):1-6,10.
- [2] 邓思园,于忠臣. 嵌入式非易失性存储器在 SoC 物理设计中的应用[J]. 电子元器件应用, 2010, 12(11):22-23,27.
- [3] 黄雯华. Flash IP 核在 DSP 处理器中的嵌入式应用[D]. 湘潭大学, 2016.
- [4] 肖利亚. YHFT-DSP 片内存储器的设计与实现[D]. 国防科学技术大学, 2011.
- [5] 冯海英,范学仕. 基于 MCU 的 Flash 预取加速控制器设计与实现[J]. 电子与封装, 2018, 18(1)15-20,33.
- [6] 杨秀栋. SOC 的存储器 IP 嵌入技术研究[D]. 电子科技大学, 2008.
- [7] 张鹏. NAND Flash 坏块管理算法研究与实现[D]. 哈尔滨工业大学, 2015.
- [8] 王钰博,黄凯,陈辰,等. 嵌入式 Flash 读取加速技术及实现[J]. 浙江大学学报(工学版), 2014, 48(9):1570-1579.
- [9] 蒋进松,黄凯,陈辰,等. 基于预取和缓存原理的片上 Flash 加速控制器设计[J]. 计算机工程与科学, 2016, 38(12):2381-2391.
- [10] 王美兰,王硕,陈振家,等. 3D NAND Flash 的片上控制逻辑电路设计[J]. 微电子学与计算机, 2019, 36(6):31-34,39.